

浙江海洋大学 2021- 2022 学年第 二 学期 《计算机组成原理》课程期末考试卷 (A)

(适用班级 A20 数科);

考试时间: 120 分钟

一	二	三	四	五	六	七	八	九	十	总分

一、选择题 (每题 2 分, 共 40 分)

- 2017 年公布的全球超级计算机 TOP500 排名中, 我国“神威 太湖之光”超级计算机蝉联全球第一, 其浮点运算速度为 93.0146PFLOPS, 说明该计算机每秒钟内完成的浮点操作次数约为 ()。
A. 9.3 千万亿次 B. 9.3×10^{15} 次 C. 9.3 亿亿次 D. 9.3×10^{13} 次
- 32 位补码的整数范围是 ()。
A. $-(2^{31}-1) \sim 2^{31}-1$ B. $-2^{32} \sim 2^{31}-1$ C. $-2^{32} \sim 2^{32}-1$ D. $-2^{31} \sim 2^{31}-1$
- 一台计算机的 CPU 主频为 1GHz, 有一程序段由一万条指令组成, 其中 80% 的指令的执行时间为 1 个时钟周期, 20% 的指令需要 10 个时钟周期, 问此指令的平均 CPI 和执行该程序段的总时间为 ()。
A. 2.8 28ms B. 2.8 28us C. 5.5 5.5ms D. 5.5 5.5us
- float 型数据通常用 IEEE 754 单精度浮点数格式表示。若编译器将 float 型变量 x 分配在一个 32 位浮点寄存器 FR1 中, 且 $x = -0.43754$, 则 FR1 的内容是 ()。
A. BEE0 0000H B. BF60 0000H
C. BF70 0000H D. C0E0 0000H
- 在按字节编址, 采用小端方式的 32 位计算机中, 按边界对齐方式为以下 C 语言结构型变量 a 分配存储空间。

```
struct record{
    short x1;
    int x2;
} a;
```

 若 a 的首地址为 2020 FE00H, a 的成员变量 x2 的机器数为 1234 0000H, 则其中 34H 所在存储单元的地址是:
A. 2020 FE03H B. 2020 FE04H C. 2020 FE05H D. 2020 FE06H
- 按字节编址的计算机中, 某 double 型数组 A 的首地址为 2000H, 使用变址寻址和循环结构访问数组 A, 保存数组下标的变址寄存器初值为 0, 每次循环取一个数组元素, 其偏移地址为变址值乘以 sizeof(double), 取完后变址寄存器内容自动加 1。若某次循环所取元素的地址为 2100H, 则进入该次循环时变址寄存器的内容是 ()。
A. 25 B. 32 C. 64 D. 100

7. 某计算机的存储器总线中有 24 位地址线和 32 位数据线，按字编址，字长为 32 位。若 000000H - 3FFFFFFH 为 RAM 区，则需要 512KX8 位的 RAM 芯片数为（ ）。
A. 8 B. 16 C. 32 D. 64
8. 下列有关 RAM 和 ROM 的叙述中，正确的是（ ）。
I RAM 是易失性存储器，ROM 是非易失性存储器
II RAM 和 ROM 都采用随机存取方式进行信息访问
III RAM 和 ROM 都可用作 Cache
IV RAM 和 ROM 都需要进行刷新
A. 仅 I 和 II B. 仅 II 和 III
C. 仅 I, II, III D. 仅 II, III, IV
9. 若计算机主存地址为 32 位，按字节编址，某 cache 的数据区空量为 32KB，主存块大小为 64B，采用 8 路组相联映射方式，该 Cache 中比较的个数和位数分别为（ ）。
A. 8, 20 B. 8, 23 C. 64, 20 D. 64, 23
10. 下列关于总线的叙述中，错误的是（ ）。
A. 总线是在两个或多个部件之间进行数据交换的传输介质
B. 同步总线由时钟信号定时，时钟频率不一定等于工作频率
C. 异步总线由握手信号定时，一次握手过程完成一位数据交换
D. 突发（Burst）传送总线事务可以在总线上连续传送多个数据
11. 某计算机使用 4 体交叉编址存储器，假定在存储器总线上出现的主存地址（十进制）序列为 8002, 8003, 8004, 8008, 8001, 8002, 8003, 8004, 8007，则可能发生访存冲突的地址对是（ ）。
A. 8004 和 8008 B. 8004 和 8007
C. 8001 和 8008 D. 8002 和 8004
12. 某计算机的 Cache 共有 16 块，采用 4 路组相联映射方式（即每组 4 块）。每个主存块大小为 32 字节，按字节编址。主存 800 号单元(所有序号都从 0 开始)所在主存块应装入到的 Cache 组号是（ ）。
A. 0 B. 1 C. 2 D. 3
13. 下列选项中不属于 I/O 接口的是（ ）。
A. 磁盘驱动器 B. 打印机适配器
C. 网络控制器 D. 可编程中断控制器
14. 设计某指令系统时假设采用 16 位定长指令格式，操作码使用拓展编码方式，地址码为 6 位，包含零地址、一地址、二地址三种格式的指令，现有二地址指令 12 条，一地址指令有 254 条，则零地址指令最多有（ ）条？
A. 16 B. 32 C. 64 D. 128
15. 设相对寻址的转移指令占两个字节,第一字节是操作码,第二字节是相对位移量(用补码表示)。每当 CPU 从存储器取出第一个字节时,即自动完成(PC)+1→PC。设当前指令所在的内存地址为 3000H,要求转移到 2FF8H 地址,则该转移指令第二字节的内容应为（ ）。
A. 06H B. 0AH C. F6H D. F8H
16. 下列关于多重中断系统中 CPU 响应中断的叙述中，错误的是（ ）。

- A. 仅在用户态（执行用户程序）下，CPU 才能检测和响应中断
 - B. CPU 只有在检测到中断请求信号时，才会进入中断响应周期
 - C. 进入中断响应周期时，CPU 一定处于中断允许（开中断）状态
 - D. 若 CPU 检测到中断请求信号，则一定存在未被屏蔽的中断请求信号
17. 异常事件在当前指令执行过程中进行检测，中断请求则在当前指令执行结束后进行检测。下列事件中，相应处理程序执行后，必须回到当前指令重新执行的是（ ）。
- A. 系统调用 B. 页缺失 C. DMA 传送结束 D. 打印机缺纸
18. 某计算机采用 16 位定长指令字格式，操作码位数和寻址方式位数固定，指令系统有 48 条指令，支持直接、间接、立即、相对 4 种寻址方式，单地址指令中直接寻址方式可寻址范围是（ ）。
- A. 0~255 B. 0~1023 C. -128~127 D. -512~511
19. 以下指令都采用流水线技术，存在数据相关的程序段有哪些（ ）。
- I. SUB R1, R2, R3
ADD R4, R5, R1
 - II. STA M, R2
ADD R2, R4, R5
 - III. MUL R3, R2, R
SUB R3, R4, R5
- A. I 和 II B. II 和 III C. I 和 III D. I, II 和 III
20. 下列叙述中（ ）是错误的。
- A. 采用微程序控制器的处理器称为微处理器；
 - B. 在微指令编码中，编码效率最低的是直接编码方式；
 - C. 在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；
 - D. 以上都是错的。

二、简答题（共 40 分）

1. 已知 $x = 0.1011$, $y = -0.1101$, 用 Booth 算法求出 $x \cdot y$ 的结果。（5 分）
2. 假设数据信息为 11101001, 请按“偶校验”原则为其配置汉明码, 要求写出计算过程。（5 分）
3. 已知 cache 的存储周期为 50ns, 主存存储周期为 200ns, 假定 CPU 执行某段程序时, 共访问 cache 的命中了 2000 次, 访问主存 100 次, 求 Cache/主存系统的命中率, 效率和平均访问时间?（8 分）
4. 某机有 8 条微指令 I1~I8, 每条微指令所包含的微命令控制信号如下表所示。a~j 分别对应 10 种不同性质的微命令信号。请安排微指令的控制字段格式, 使微指令长度尽量小。（6 分）

微指令	微命令信号									
	a	b	c	d	e	f	g	h	i	j
I ₁	√	√	√	√	√		√			
I ₂	√							√		
I ₃		√			√	√				
I ₄			√							
I ₅			√		√		√		√	
I ₆	√	√						√		√
I ₇			√	√				√		
I ₈	√	√						√		

5. 设某机有 5 级中断：L0、L1、L2、L3、L4，其中断响应优先次序为：L0 最高，L1 次之……L4 最低。现在要求将中断处理次序改为 L4→L2→L1→L3→L0，试问：

(1) 各级中断服务程序中的各中断屏蔽码应如何设置（设每级对应一位，当该位为“0”，表示中断允许；当该位为“1”，表示中断屏蔽）？（5 分）

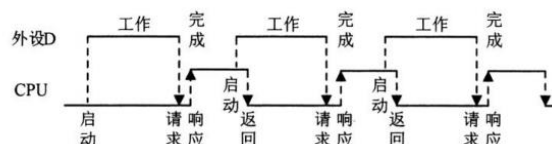
中断处理程序	中断处理级屏蔽位				
	L0 级	L1 级	L2 级	L3 级	L4 级
L0 中断处理程序					
L1 中断处理程序					
L2 中断处理程序					
L3 中断处理程序					
L4 中断处理程序					

(2) 若这 5 级中断同时都发出中断请求，试画出进入各级中断处理过程示意图。（3 分）

6. 假定 CPU 主频为 50 MHz，CPI 为 4。设备 D 采用异步串行通信方式向主机传送 7 位 ASCII 字符，通信规程中有 1 位奇校验位和 1 位停止位，从 D 接收启动命令到字符送入 I/O 端口需要 0.5 ms。请回答下列问题，要求说明理由。

(1) 每传送一个字符，在异步串行通信线上共需传输多少位？在设备 D 持续工作过程中，每秒钟最多可向 I/O 端口送入多少个字符？（2 分）

(2) 设备 D 采用中断方式进行输入/输出，示意图如下：



I/O 端口每收到一个字符申请一次中断，中断响应需 10 个时钟周期，中断服务程序共有 20 条指令，其中第 15 条指令启动 D 工作。若 CPU 需从 D 读取 1000 个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU 用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段 CPU 进行了哪些操作？（6 分）保存现场、关闭中断

三、设计题（每题 10 分，共 20 分）

1、设 CPU 共有 16 根地址线，8 根数据线，并用 $\overline{\text{MREQ}}$ (低电平有效)作访存控制信号，R/W 作读写命令信号(高电平为读,低电平为写)。现有下列存储芯片：

RAM: 2K×4 位，4K×1 位，8K×8 位，16K×4 位；

ROM: 1K×8 位，4K×8 位，8K×8 位，32K×8 位；

及 74LS138 译码器和各种门电路。

要求：主存地址空间分配：从 4000H 地址开始的 6K 地址空间为用户程序区，紧接相邻的 4K 地址空间为系统程序区；

试从上述规格中选用合适芯片，画出 CPU 和存储芯片的连接图。

（1）指出选用的存储芯片类型及数量；（2 分）

（2）详细画出片选逻辑。（8 分）

2、某计算机字长 16 位，采用 16 位定长指令字结构，部分数据通路结构如下图所示，图中所有控制信号为 1 时表示有效、为 0 时表示无效。例如控制信号 MDRinE 为 1 表示允许数据从 DB 打入 MDR，MDRin 为 1 表示允许数据从内总线打入 MDR。假设 MAR 的输出一直处于使能状态。减法指令“SUB R0, (R1)”的功能为 $(R0) - ((R1)) \rightarrow R0$ ，即将 R0 的数据减去以 R1 中信息为地址的内存中的数据，并将结果送入 R0 中保存。

请按表中描述方式用表格列出指令取指阶段和执行阶段每个节拍的功能和有效控制信号（时钟周期个数不定）。

取指阶段：（3 分）

时钟	功能	有效控制信号
C1	(PC) $\rightarrow$ MAR	PCout, MARin
C2		
C3		
C4		

执行阶段：（7 分）

时钟	功能	有效控制信号
C1		
C2		
C3		
C4		
C5		
C6		
C7		

